

SYNCHRONOUS READING NONVOLATILE MEMORY

Publication number: JP2002230986

Publication date: 2002-08-16

Inventor: FRULIO MASSIMILIANO; VILLA CORRADO; BARTOLI SIMONE

Applicant: ST MICROELECTRONICS SRL

Classification:

- International: G11C16/02; G11C7/10; G11C7/22; G11C16/32;
G11C16/02; G11C7/00; G11C7/10; G11C16/06; (IPC1-
7): G11C16/02

- european: G11C7/10S; G11C7/22; G11C16/32

Application number: JP20020006161 20020115

Priority number(s): EP20010830016 20010115

Also published as:

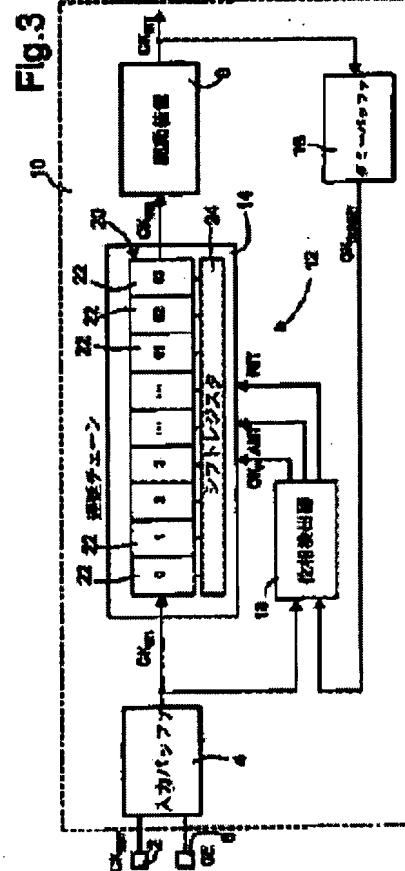
EP1225597 (A1)

US2002122347 (A1)

[Report a data error here](#)

Abstract of JP2002230986

PROBLEM TO BE SOLVED: To provide a nonvolatile memory which can perform synchronous reading with a frequency higher than a frequency which can be used now for data stored in a nonvolatile memory and which is operated by a burst reading mode. **SOLUTION:** This nonvolatile memory (10) is provided with an input pin (2) receiving an external clock signal supplied by a user, an input buffer (4) receiving the external clock signal and supplying an intermediate clock signal relating to the external clock signal and being delayed, and a delayed lock loop (12) receiving the intermediate clock signal and supplying the intermediate clock signal distributed in the nonvolatile memory and synchronizing with the external clock signal substantially.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-230986
(P2002-230986A)

(43)公開日 平成14年8月16日(2002.8.16)

(51) Int.Cl.⁷

識別記号

F I
G 1 1 C 17/00

テマコード(参考)
5 B 0 2 5

(21)出願番号 特願2002-6161(P2002-6161)
(22)出願日 平成14年1月15日(2002.1.15)
(31)優先権主張番号 01830016.0
(32)優先日 平成13年1月15日(2001.1.15)
(33)優先権主張国 欧州特許庁(E P)

(71)出願人 598073084
エスティーマイクロエレクトロニクス エ
ス、アール、エル
イタリア国、20041 ミラノ、アグラー
テ・ブリアンツァ、ヴィア・シー・オリベ
ッティ、2
(72)発明者 マシミリアーノ・フルリオ
イタリア国、20133 ミラノ、ヴィア・ツ
ァネラ、66
(74)代理人 100080001
弁理士 筒井 大和 (外1名)

最終頁に統ぐ

(54) 【発明の名称】 同期読み取り不揮発性メモリ装置

(57)【要約】

【課題】 不揮発性メモリ装置内に記憶されたデータの現在使用可能な周波数よりも高い周波数での同期読取りを可能にする、バースト読取りモードで動作する不揮発性メモリ装置を提供する。

【解決手段】 本願発明による不揮発性メモリ装置（10）は、ユーザが供給した外部クロック信号を受信する入力ピン（2）と、外部クロック信号を受信し外部クロック信号に関連した遅延した中間クロック信号を供給する入力バッファ（4）と、中間クロック信号を受信し不揮発性メモリ装置内で分配され、外部クロック信号と実質的に同期する中間クロック信号を供給する遅延ロックループ（12）とを備える。

【特許請求の範囲】

【請求項1】 不揮発性メモリであって、

ユーザより供給される外部クロック信号を受信するよう構成された入力と、
遅延ロックループ手段を含むクロック生成手段とを有し、前記クロック生成手段が、前記入力に接続され、前記入力から前記外部クロック信号を受信するよう構成され、かつ、前記外部クロック信号に基づいて前記不揮発性メモリ内に分配される内部クロック信号を供給するよう構成されることを特徴とする不揮発性メモリ装置。

【請求項2】 請求項1に記載の不揮発性メモリ装置であって、

前記クロック生成手段が前記不揮発性メモリ装置の前記入力と前記遅延ロックループ手段の間で接続される入力手段をさらに有し、前記入力手段が出力を有し、
前記遅延ロックループ手段が、前記入力手段の前記出力と接続する第1入力と、前記内部クロック信号を供給するよう構成された出力とを含むプログラマブル遅延手段を有し、前記プログラマブル遅延手段がさらに第2入力を有し、前記第2入力は前記プログラマブル遅延手段により導入される遅延を選択する選択信号を受信するよう構成され、それにより前記内部クロック信号を前記外部クロック信号と実質的に同期させることを特徴とする不揮発性メモリ装置。

【請求項3】 請求項2に記載の不揮発性メモリ装置であって、

前記プログラマブル遅延手段が遅延チェーンと、前記遅延チェーンに接続する選択手段とを有し、前記選択手段が前記遅延チェーンにより導入される遅延を選択する前記選択信号を入力で受信するよう構成されることを特徴とする不揮発性メモリ装置。

【請求項4】 請求項3に記載の不揮発性メモリ装置であって、

前記遅延チェーンが、共にカスケードされた複数の遅延セルを有することを特徴とする不揮発性メモリ装置。

【請求項5】 請求項4に記載の不揮発性メモリ装置であって、

前記選択手段が、前記遅延セルに接続するシフトレジスタを有し、前記シフトレジスタは前記遅延セルを起動および停止するよう構成されることを特徴とする不揮発性メモリ装置。

【請求項6】 請求項2に記載の不揮発性メモリ装置であって、

前記遅延ロックループ手段がさらに、前記外部クロック信号を第1入力で受信し、前記内部クロック信号を第2入力で受信するよう構成され、かつ、前記プログラマブル遅延手段に前記選択信号を出力により供給するよう構成された位相検出手段を有し、前記選択信号が、前記外部クロック信号と前記内部クロック信号間の前記位相シフトの関数であることを特徴とする不揮発性メモリ装置。

【請求項7】 請求項6に記載の不揮発性メモリ装置であって、

前記位相検出手段の前記第1入力が前記入力手段の前記出力と接続しており、前記遅延ロックループ手段が、前記プログラマブル遅延手段の前記出力と前記位相検出手段の前記第2入力との間に配置されたダミー手段をさらに有し、前記入力手段により導入される前記遅延をシミュレートすることを特徴とする不揮発性メモリ装置。

【請求項8】 請求項7に記載の不揮発性メモリ装置であって、

前記入力手段が入力バッファを有し、前記ダミー手段がダミーバッファを有することを特徴とする不揮発性メモリ装置。

【請求項9】 請求項2に記載の不揮発性メモリ装置であって、

前記遅延ロックループ手段がさらに、前記プログラマブル遅延手段の前記出力に接続する駆動手段を有することを特徴とする不揮発性メモリ装置。

【請求項10】 不揮発性メモリ装置であって、

ユーザにより供給される外部クロック信号を受信する手段と、

前記受信した外部クロック信号に基き内部クロック信号を生成する手段であって、前記外部クロック信号に関連して前記内部クロック信号を遅延させる手段を含む内部クロック信号生成手段と、
前記内部クロック信号を前記不揮発性メモリ装置内で分配する手段とを有することを特徴とする不揮発性メモリ装置。

【請求項11】 請求項10に記載の不揮発性メモリ装置であって、

前記内部クロック信号を遅延させる前記手段が、さらに遅延プログラミング手段を有しており、前記内部クロック信号が前記外部クロック信号に関し遅延した分の遅延量を前記遅延プログラミング手段が遅延選択用の選択信号受信手段を介してプログラミングし、前記内部クロック信号を前記外部クロック信号と実質的に同期させることを特徴とする不揮発性メモリ装置。

【請求項12】 請求項11に記載の不揮発性メモリ装置であって、

前記遅延プログラミング手段が、前記内部クロック信号に適用される遅延を連鎖化する手段を有することを特徴とする不揮発性メモリ装置。

【請求項13】 請求項11に記載の不揮発性メモリ装置であって、

前記内部クロック信号を遅延させる手段がさらに、前記外部クロック信号と前記内部クロック信号間の位相シフトを検出手段を有し、前記選択信号が、前記外部クロック信号と前記内部クロック信号間の前記検出した位相シフトの関数であることを特徴とする不揮発性メモリ装置。

【請求項14】 請求項13に記載の不揮発性メモリ装置であって、前記遅延プログラミング手段がさらに、前記位相シフトを検出する手段に遅延を入力する手段を有し、前記シミュレートされた遅延が、前記内部クロック信号を遅延させる手段ではなく前記内部クロック信号を生成する手段の部分により導入された前記外部クロック信号と前記内部クロック信号間の遅延と実質的に等しいことを特徴とする不揮発性メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、同期読取式の不揮発性メモリ装置に関する。

【0002】

【従来の技術】周知のように、Flash-E PROMメモリ装置においては読み取り実行力の増加が常に求められ、その要求を満たすためDRAM、SRAMメモリ等の別タイプのメモリ装置では新しい読み取りモードが既に導入されている。特に、各々が可変数文字を含むページ形式でメモリ装置を読み取る、いわゆる「ページモード」読み取りと、メモリ装置利用者により外部から供給されるクロック信号により設定された周波数で連続文字の同期読み取りを実行する、いわゆる「バーストモード」読み取りが用いられている。

【0003】バースト読み取りモードによりデータフローをクロック信号と同期させることができたことから、Flash-E PROMメモリ装置においても、非常に高い読み取り周波数を得ることは不可能だが、バースト読み取りモードがより頻繁に実行されるようになった。

【0004】実際、外部クロック信号の周期を T_{CK} で示すと、 T_{BURST} がメモリ出力にデータ供給の要求を示す外部クロック信号のエッジと時間内でメモリ出力にデータが効果的に現れる瞬間との間の時間経過として定義される同期アクセス時間であり、 T_{SETUP} は、出力データがサンプリングされ、メモリ外部から取得されるクロック信号の次のエッジに関連する、出力時データの設定時間（すなわち、例えば不揮発性メモリ装置と関連したマイクロプロセッサによりデータを有効な形でサンプリングおよび取得できるようにするため、外部クロック信号のエッジの前に、メモリ出力上のデータを安定状態に維持しなくてはならない最小時間）である。従って、 $T_{CK} = T_{BURST} + T_{SETUP}$ という関係が適用される。

【0005】

【本発明が解決しようとする課題】従来型のFlash-E PROMメモリ装置がバーストモードで動作すると仮定すると、現在採用されている設計仕様によればデータ設定時間 T_{SETUP} は約5nsであり、現在達成可能な同期アクセス時間 T_{BURST} は約10nsであるため、従来型のFlash-E PROMメモリ装置において

は、約66MHz ($T_{CK} = 15\text{ ns}$) の読み取り周波数は、超えることのできない上限を表すものと直ちに結論付けることができる。

【0006】上記読み取り周波数の値は、不揮発性メモリ装置に低供給電圧、特に1.8Vよりも低い電圧を印加する如何なるアプリケーションにおいても実際には達成不可能な論理上の限度である。

【0007】これまでの説明をより明確に理解し得るよう、図1は従来技術の不揮発性メモリ装置内をユーザーが供給した外部クロック信号が通るバスを示し、図2は外部クロック信号とメモリ装置内で生成されたクロック信号間の時間関係をメモリ出力上のデータ推移に関連して示している。

【0008】特に図1に示すように、本発明が解決しようとする課題を理解するのに有用な不揮発性メモリ装置1の一部のみが示され、外部クロック信号 CK_{EST} は、ユーザーによりメモリ装置1の入力ピン2に供給され、当該入力ピン2は入力バッファ4に接続する。入力バッファ4は本質的に、外部クロック信号 CK_{EST} を受信する第1入力と、やはりユーザーが供給するチップイネーブル信号CEをメモリ装置1の別の入力ピン6に受信する第2入力と、中間クロック信号 CK_{IN} を供給する出力を備えるNOR論理ゲートで構成される。

【0009】次に、中間クロック信号 CK_{IN} が駆動装置8の入力に供給され、駆動装置8が内部中間クロック信号 CK_{INT} を出力に供給し、次いで、この内部中間クロック信号 CK_{INT} がメモリ装置1内で分配され、メモリ装置内の全ての装置に効率的に使用され、全てのオペレーションのタイミングをとるクロック信号となる。

【0010】特に、内部クロック信号 CK_{INT} は、外部クロック信号 CK_{EST} に関して、入力バッファ4の切換え時間と駆動装置8の切換え時間との合計に等しい時間分だけ遅延する。

【0011】従って、上述の説明より、同期アクセス時間 T_{BURST} が、外部クロック信号 CK_{EST} と中間クロック信号 CK_{INT} （一般に、5nsで量化可能）間の遅延から成る第1の分配と、メモリ装置1の出力へのデータ供給の要求を表す内部クロック信号 CK_{INT} のライジングエッジに関しメモリ装置1の出力にデータを効率的に提示する遅延から成る第2の分配（この遅延もまた一般に5nsで量化可能）との、2つの分配の合計であることが直ちに理解できるはずである。

【0012】図2は、外部クロック信号 CK_{EST} と、内部クロック信号 CK_{INT} と、メモリ装置1の出力上で読み取るデータ推移間の時間関係を有効でない読み取り条件に関連して示す図であり、かかる条件は出力データをメモリ装置1の外部からサンプリングおよび取得する外部クロック信号の次のライジングエッジに関して出力データの設定時間に一般に採用されている設計仕様には適応できないことにより生じる。

【0013】特にバーストモード読取りでは、従来と同様に、ユーザがメモリ装置の入力に供給する制御信号“ADDRESS LATCH”的論理レベルを変更させることで、データ読取りの開始を制御することができる。

【0014】詳細には、読取り開始制御信号“ADDRESS LATCH”が低レベルとした場合、ユーザがメモリ装置1の入力に供給する読取るべき“DATA”的“ADDRESS”が取得され、「待ち時間」と呼ばれる設定時間のインターバル中にデータがメモリセルにより読み取られ、メモリ装置の内部レジスタに一時的に転送され、当該内部レジスタからメモリ装置1の出力に転送され、ここで、データがサンプリングされるべく準備され、メモリ装置1の外部から外部クロック信号CK_{EST}のライジングエッジにて同期方法で取得される。

【0015】特に、待ち時間は外部クロック信号CK_{EST}の周波数の関数として、製造業者により不揮発性メモリ装置の仕様に表示されて（ランダムアクセス時間によって拘束されている場合に限る）、ユーザが外部から設定することができ、一般に、外部クロック信号CK_{EST}の最小2周期から最大6周期まで変更することができる。

【0016】従って、読み取るべきデータが、内部クロック信号CK_{INT}と同期してメモリ装置1の出力に供給されるが、外部クロック信号CK_{EST}と同期して外部から読み取られるため、少なくとも、出力データがサンプリングされる外部クロック信号CK_{EST}の次のエッジの前の、データ設定時間T_{SETUP}（5 ns）と等しい時間間隔の間は出力上で不安定となるため、データの読み取りの有効性が証明されない。

【0017】そのため、有効でない読み取りの発生を防ぐために、従来技術の不揮発性メモリ装置内で、達成可能な最大読み取り周波数が上記6.6 MHzを超えることができず、バースト読み取りモードの高速拡散を減速する制限がFlash-EEROMメモリ装置内に確立される。

【0018】

【課題を解決するための手段】本発明による一の実施の形態によれば、不揮発性メモリ装置内に記憶されたデータの、現在使用可能な周波数よりも高い周波数での同期読み取りを可能にする、バースト読み取りモードで動作する不揮発性メモリ装置を提供する。本発明の前記以外の実施の形態および特徴については以下に説明する。

【0019】本発明の実施の形態には、ユーザが供給した外部クロック信号を受信する入力と、前記外部クロック信号を受信し、前記不揮発性メモリ装置内に分配される内部クロック信号を供給する、遅延ロックループ手段を備えたクロック生成手段とが含まれる。本発明の他の実施の形態および特徴は、添付の図面を参照して以下の詳細な説明により明らかになるであろう。

【0020】

【発明の実施の形態】本発明の形態をより理解するために、非限定的な例を提供する目的で、図面を参照しながら本発明の好ましい実施の形態を説明する。

【0021】本発明は、外部クロック信号CK_{EST}に関連した内部クロック信号CK_{INT}の遅延を除去することにより、Flash-EEROM不揮発性メモリ装置におけるデータ読み取りの最大周波数を増加する原理に基づいたものであり、ここから導かれる同期アクセス時間T_{BURST}によって90～100 MHzの範囲内の読み取り周波数が可能になる。

【0022】より詳細には、本発明によれば、外部クロック信号CK_{EST}に関する内部クロック信号CK_{INT}の遅延の除去は、遅延ロックループ（DLL）アーキテクチャの使用で実行することができる。当該アーキテクチャでは外部クロック信号CK_{EST}の周期性を利用して、外部クロック信号CK_{EST}と完全に同期し得る内部クロック信号CK_{INT}を生成する。

【0023】図3は、外部クロック信号CK_{EST}と同期する内部クロック信号CK_{INT}の生成を可能にするDLLアーキテクチャを備えた、Flash-EEROM不揮発性メモリ装置を示す。

【0024】特に図3は、符号10を付した不揮発性メモリ装置の一部のみ、すなわち本発明の理解に有用な部分のみを示しており、さらに、図1と同一の部分には、全図面を通して同じの符号を付している。

【0025】特に図3に示すように、図1を参照に記載されたものと同じ入力バッファ4に外部クロック信号CK_{EST}が供給され、第1中間クロック信号CK_{IN1}を出力生成する。

【0026】次に、第1中間クロック信号CK_{IN1}が、基本的にプログラマブル遅延回路14、駆動装置8、グミーバッファ16、位相検出器18を備えた遅延ロックループ12に供給される。

【0027】特に、プログラマブル遅延回路14は、入力上で第1中間クロック信号CK_{IN1}を受信し、プログラマブル遅延により第1中間クロック信号に関連して遅延した第2中間クロック信号CK_{IN2}を出力上に供給する。プログラマブル遅延回路14はまた、遅延チェーン20を備え、この遅延チェーン20はカスケードされた複数の遅延セル22によって形成されており、この遅延セル22は、遅延チェーン20で採用する遅延の選択機能を備えたシフトレジスタ24により選択的に起動／停止が可能である。

【0028】提示した例では、遅延チェーン20は64個の遅延セル22によって形成されている。この遅延セル22の各々は、基本的にカスケードされた2つの論理インバータで構成され（例えば、NAND論理ゲートの手段により得たもの）。このNANDゲートは、当該ゲートの入力に供給されたイネーブル／ディスエーブル信号

の手段により選択的に起動／停止される。）、従来通り 0.5 ns の遅延を採用する。

【0029】第2中間クロック信号 CK_{IN2}が、図1の駆動装置と同一の駆動装置8の入力に供給され、また、駆動装置8によって内部クロック信号 CK_{INT}が出力に供給され、そしてこの信号がメモリ装置10内で分配され、メモリ装置内の全ての装置で使用され、全てのオペレーションのタイミングをとる信号となる。

【0030】さらに、入力バッファ4にて用いる切換え遅延をシミュレートする入力バッファ4と完全に同一のダミーバッファ16の入力に内部クロック信号 CK_{INT}が供給され、出力にダミークロック信号 CK_{DUMMY}を供給する。

【0031】次に、ダミークロック信号 CK_{DUMMY}が位相検出器18の第1入力に供給される。位相検出器はさらに、第2入力にて第1中間クロック信号 CK_{IN1}を受信し、中間クロック信号 CK_{INT}と第1中間クロック信号 CK_{IN1}間の位相シフトを決定し、次に、以下の3つの信号を出力に供給し、続いてこれらの信号がプログラマブル遅延回路14のシフトレジスタ24の入力に供給される。3つの信号とはすなわち、シフトレジスタ24自体のタイミングをとるためのクロック信号 CK_P、遅延チェーン20で採用する遅延を増加するための遅延制御信号 RIT、遅延チェーン20で採用する遅延を減少するためのアドバンス制御信号 ANTである。

【0032】シフトレジスタ24はさらに複数の出力を備えており、この複数の出力の各々は、それぞれ対応する遅延セル22と接続しているため、その起動および停止を、遅延制御信号 RIT、アドバンス制御信号 ANT の関数として制御することができる。

【0033】特に、遅延制御信号 RIT とアドバンス制御信号 ANT はパルスタイプ信号であり、そのパルスの各々は、中間クロック信号 CK_{INT}を外部クロック信号 CK_{BST}と完全に同期させるために、遅延チェーン20により導入された遅延の増加と減少を制御する。

【0034】さらに、第1中間クロック信号 CK_{IN1}の遅延は、遅延セル22の構成を利用した単純な方法で得ることができる。事実、これらのセルの各々は、カスクードした2つのNAND論理ゲートによって形成され、その入力に供給された適当なイネーブル／ディスエーブル信号の手段によって選択的に起動可能である。第1中間クロック信号 CK_{IN1}は、全ての遅延セル22の入力に便利にも供給することができ、また遅延チェーン20へのその効率的な導入は、特定の遅延セルのみにおいて得ることができ、遅延チェーンの当該特定遅延セル22と最終遅延セル22間で遅延チェーン20により導入される遅延が確実に所望のものとことができる。

【0035】これにより、所望の遅延を達成するのに起動される遅延セル22の数を選択するには、レジスタ24によって単に特定遅延セル22のアップストリームに

ある遅延セル22をディスエーブルにする命令を出すことにより得られ、それにより遅延チェーン20内への第1中間クロック信号 CK_{IN1}の導入が決定される。その際、入力に供給された第1中間クロック信号 CK_{IN1}の導入に関連して特定遅延セル22のアップストリームにある遅延セル22が、パッシングしないようにし、使用されていない素子による不要な消費を防止する。その一方、遅延チェーン20内で第1中間クロック信号 CK_{IN1}の導入を決定する特定遅延セル22のダウンストリームにある遅延セル22については、先行する遅延セルから入るクロック信号に関連してパッシングし、第1中間クロック信号 CK_{IN1}に関してパッシングしないよう制御する。

【0036】使用時には循環方法により、位相検出器18がダミークロック信号 CK_{DUMMY}と第1中間クロック信号 CK_{IN1}の間の位相シフトを決定し、また、ダミークロック信号 CK_{DUMMY}と第1中間クロック信号 CK_{IN1}の間の位相シフトを減少すべく、遅延チェーン20の全体的な遅延を得るために、起動された遅延セル22の数を増加または減少する方法でシフトレジスタ24を制御する遅延制御信号 RIT またはアドバンス制御信号 ANT を生成する。ダミークロック信号 CK_{DUMMY}が第1中間クロック信号 CK_{IN1}に関して、正確に第1中間クロック信号 CK_{IN1}の1周期分だけ遅延し、その結果、第1中間クロック信号 CK_{IN1}と完全に同期するまでこれらのオペレーションが継続される。

【0037】第1中間クロック信号 CK_{IN1}が、入力バッファ4の切換え時間と等しい時間だけ遅延した外部クロック信号 CK_{BST}によって構成され、ダミークロック信号 CK_{DUMMY}が、ダミーバッファ16の切換え時間と等しい時間だけ遅延した内部クロック信号 CK_{INT}によって構成されているため、ダミークロック信号 CK_{DUMMY}と第1中間クロック信号 CK_{IN1}の間の位相シフトの除去が、内部クロック信号 CK_{INT}と外部クロック信号 CK_{BST}間の位相シフトの除去とが一致する。

【0038】従って、遅延ロックループ12が、内部クロック信号 CK_{INT}と外部クロック信号 CK_{BST}の間の位相シフトを除去するのに必要ないわゆるロック時間が経過すると、内部クロック信号 CK_{INT}が外部クロック信号 CK_{BST}と完全に同期し、これにより、同期アクセス時間 T_{BURST}の形成の一因が除去され、よって最大読取り周波数を前述で参照した値にまで増加させることができる。

【0039】図4は、図2と類似のグラフである。このグラフでは、内部クロック信号 CK_{INT}と外部クロック信号 CK_{BST}の間の位相シフトの除去と、これにより導かれる有効な読取りとが確実に理解することができる。

【0040】内部クロック信号 CK_{INT}の生成に DLL アーキテクチャを使用する場合、メモリ装置10のユーザは、DLL が外部クロック信号 CK_{BST}を同期状態で

ロックするのに十分なアドバンスを持たせて外部信号 $C_{K_{BSI}}$ を供給するだけでよい。

【0041】あるいは、ロッキングを、適当な制御信号の手段によって起動される、データ読取りの前の自己学習段階中に実施してもよい。またその間、プログラマブル遅延回路で用いる遅延を事前に設定されるように外部クロック信号 $C_{K_{BSI}}$ がメモリ装置 10 に供給される。この手順では、遅延ロックループ 12 のロッキングは既に実施されているため、ユーザがすることは、1 周期分のアドバンスを持たせた外部クロック信号 $C_{K_{BSI}}$ をメモリ装置 10 に供給するだけである。

【0042】例えば、自己学習段階の起動の命令は、メモリ装置 10 のパワーオン直後に出すことができ、これにより、再度のロック命令なしにあらゆる温度変化が除去される限りにおいて、遅延ロックループ 12 を外部クロック信号に同期状態で再ロックする必要はない。

【0043】本発明の効果は上記特徴の考察により明らかに理解されるものである。

【0044】最後に、上記で説明し例証した本発明に関しては、特許請求の範囲において定義される保護範囲から逸脱しない限り、変更および応用が可能なことは明らかである。

【0045】例えば、遅延チェーン 20 の遅延セル 22 および関連する遅延を、その数と遅延が網羅すべき読取

り周波数の範囲と復元すべき遅延とに明らかに依存している限り、上記で説明したものとは異なってもよい。

【0046】上記の説明において、本発明の特定の実施の形態を例証の目的で説明してきたが、本発明の精神および範囲から逸脱しない限り、様々な変更が可能であることは理解されるであろう。従って、本発明は特許請求の範囲により限定されたものとしてはならない。

【図面の簡単な説明】

【図1】従来技術の不揮発性メモリ装置に設けられた、ユーザが供給した外部クロック信号のバスを示す図である。

【図2】従来技術による不揮発性メモリ装置において、メモリ装置のユーザが供給した外部クロック信号とメモリ装置自体の内部で使用されるクロック信号の間に存在する時間関係を、メモリ装置の出力上にあるデータ推移に対して示す図である。

【図3】本発明の不揮発性メモリ装置内に設けられた、ユーザが供給した外部クロック信号のバスを示す図である。

【図4】本発明の不揮発性メモリ装置において、メモリ装置のユーザが供給した外部クロック信号とメモリ装置自体の内部で使用されるクロック信号の間に存在する時間関係を、メモリ装置の出力上にあるデータの推移に対して示す図である。

【図1】

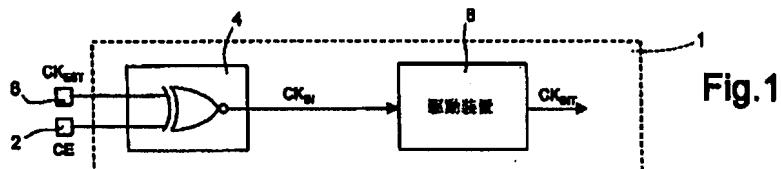


Fig.1

【図2】

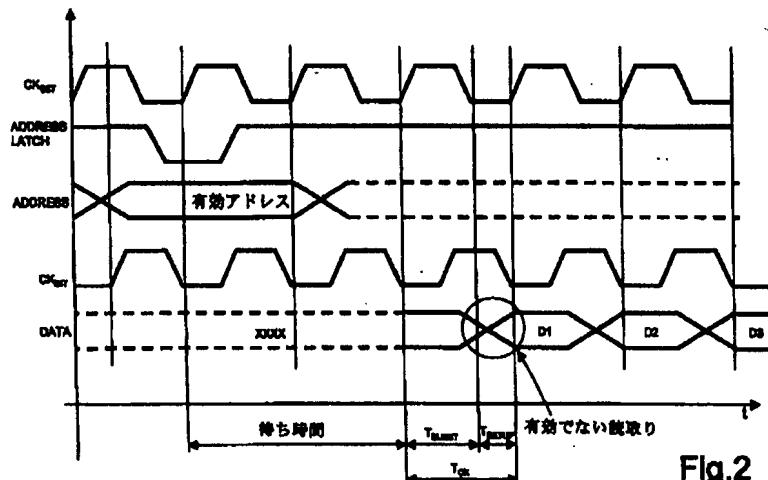
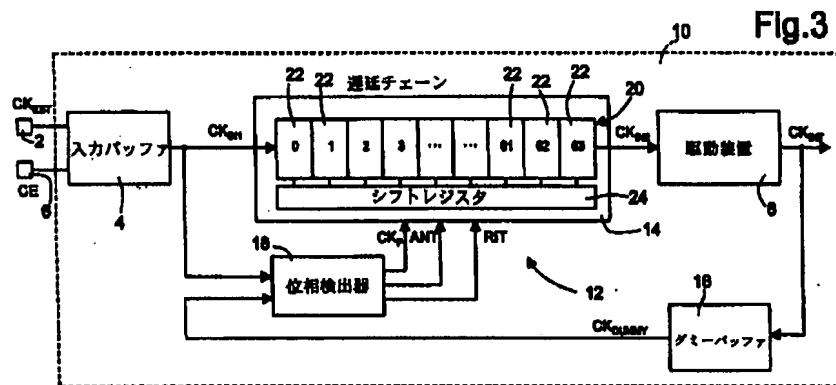
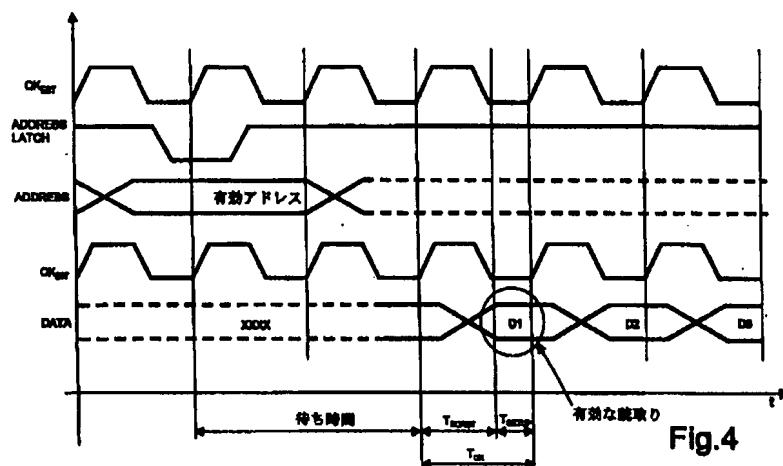


Fig.2

【図3】



【図4】



フロントページの続き

(72)発明者 コラド・ヴィラ
イタリア国、20050 ソヴィゴ、ヴィア・
エス・フランセスコ、31

(72)発明者 シモーネ・バルトリ
イタリア国、20040 カムビアゴ、ヴィ
ア・モンテビアンコ、21
Fターム(参考) 5B025 AD05 AD15 AE05

【外国語明細書】

1. Title of Invention

SYNCHRONOUS-READING NONVOLATILE MEMORY

2. Claims

1. A nonvolatile memory comprising:

an input configured to receive an external clock signal supplied by a user; and

a clock generating means including a delay locked loop means, said clock generating means connected to said input, configured to receive said external clock signal from said input and configured to supply an internal clock signal to be distributed into said nonvolatile memory based upon said external clock signal.

2. The nonvolatile memory according to claim 1, wherein said clock generating means further include an input means connected between said input of said nonvolatile memory and said delay locked loop means, said input means having an output; and wherein said delay locked loop means includes a programmable delay means having a first input connected to said output of said input means and an output configured to supply said internal clock signal, said programmable delay means moreover having a second input configured to receive a selection signal for selecting a delay to be introduced by said programmable delay means such as to bring said internal clock signal substantially in phase with said external clock signal.

3. The nonvolatile memory according to claim 2, wherein said programmable delay means includes a delay chain, and a selection means connected to said delay chain, said selection means configured to receive on an input said selection signal for selecting the delay to be introduced by the delay chain.

4. The nonvolatile memory according to claim 3, wherein said delay chain includes a plurality of delay cells cascaded together.

5. The nonvolatile memory according to claim 4, wherein said selection means includes a shift register connected to said delay cells, said shift register configured to activate and deactivate the delay cells.

6. The nonvolatile memory according to claim 2, wherein said delay locked loop means further includes a phase detecting means configured to receive on a first input said external clock signal and to receive on a second input said internal clock signal, and configured to supply on an output said selection signal to said programmable delay means, said selection signal being a function of the phase shift between said external clock signal and said internal clock signal.

7. The nonvolatile memory according to claim 6, wherein said first input of said phase detecting means is connected to the output of said input means; and wherein said delay locked loop means further includes dummy means so arranged between the output of said programmable delay means and said second input of said phase detecting means to simulate the delay introduced by said input means.

8. The nonvolatile memory according to claim 7, wherein said input means includes an input buffer, and said dummy means includes a dummy buffer.

9. The nonvolatile memory according to claim 2, wherein said delay locked loop means further includes a driving means connected to the output of said programmable delay means.

10. A nonvolatile memory comprising:

means for receiving an external clock signal supplied by a user;

means for generating an internal clock signal based upon the

received external clock signal, the means for generating an internal clock signal including means for delaying the internal clock signal relative to the external clock signal; and

means for distributing the internal clock signal through the nonvolatile memory.

11. The nonvolatile memory according to claim 10, wherein said means for delaying the internal clock signal further includes a means for programming a delay by an amount that the internal clock signal is delayed relative to the external clock signal through a means for receiving a selection signal for selecting a delay to bring the internal clock signal substantially in phase with the external clock signal.

12. The nonvolatile memory according to claim 11, wherein the means for programming a delay includes a means for chaining delays to be applied to the internal clock signal.

13. The nonvolatile memory according to claim 11, wherein the means for delaying the internal clock signal further includes a means for detecting a phase shift between the external clock signal and the internal clock signal, the selection signal being a function of the detected phase shift between said external clock signal and said internal clock signal.

14. The nonvolatile memory according to claim 13, wherein the means for programming a delay further includes a means for inputting a delay to the means for detecting a phase shift, the simulated delay substantially equal to delay between the external clock signal and the internal clock signal introduced by portions of the means for generating an internal clock signal other than the means for delaying the internal clock signal.

3. Detailed Description of Invention

The present invention relates to a synchronous-reading nonvolatile memory.

As is known, to meet the continuing demands for increase in reading performance of Flash-EEPROM memories, new modes of reading have been introduced, which were already used in other types of memories, such as DRAM and SRAM memories, in particular the so-called "page mode" reading, in which the memory is read in pages each of which contains a variable number of words, and the so-called "burst mode" reading, in which, instead, synchronous readings of consecutive words are performed at a frequency set by a clock signal supplied from outside by the user of the memory.

Thanks to the fact that the burst reading mode enables a flow of data synchronous with the clock signal, it is increasingly more often implemented in flash-EEPROM memories, even though it does not allow extremely high reading frequencies to be achieved.

In fact, if T_{CK} indicates the period of the external clock signal, T_{BURST} the synchronous access time defined as the time interval elapsing between the edge of the external clock signal representing the request for supply of data on the output of the memory and the instant in time in which the data are effectively present on the output of the memory, and T_{SETUP} the time for setup of the data at the output with respect to the subsequent edge of the clock signal at which the output data will be sampled and acquired from outside the memory (i.e., the minimum time for which the data present on the output of the memory must remain stable prior to the edge of the external clock signal for the data to be sampled and acquired in a valid way, for example by the microprocessor to which the nonvolatile memory is associated), then the following relation applies $T_{CK}=T_{BURST}+T_{SETUP}$.

Consequently, given that in flash-EEPROM memories according to the prior art operating in burst mode the data setup time T_{SETUP} is, accord-

ing to the design specification currently adopted, approximately 5 ns, and the synchronous access time T_{BURST} currently achievable is approximately 10 ns, it may immediately be concluded that a reading frequency of approximately 66 MHz ($T_{CK}=15\text{ns}$) represents an upper limit that cannot be exceeded in flash-EEPROM memories according to the prior art.

The value of the reading frequency indicated above is then a theoretical limit that is practically not achievable in any of the applications in which nonvolatile memories are supplied with low supply voltages, in particular voltages lower than 1.8V.

For a better understanding of what has just been described, Figures 1 and 2 respectively show the path followed in a nonvolatile memory according to the prior art by the external clock signal supplied by the user, and the time relation existing between the external clock signal and the clock signal generated inside the memory itself, in relation to the transitions of the data present on the outputs of the memory.

In particular, as is shown in Figure 1, where only the parts of the nonvolatile memory 1 useful for understanding the problems that the present invention aims at solving are illustrated, the external clock signal CK_{EST} is supplied by the user on an input pin 2 of the memory 1, which is connected to an input buffer 4 essentially consisting of a NOR logic gate that has a first input receiving the external clock signal CK_{EST} , a second input receiving a chip enable signal CE , also supplied by the user on a different input pin 6 of the memory 1, and an output supplying an intermediate clock signal CK_{IN} .

The intermediate clock signal CK_{IN} is then supplied to an input of a driving device 8, which supplies on an output an internal clock signal CK_{INT} which is then distributed inside the memory 1 and hence represents the clock signal effectively used by all the devices inside the memory, and with respect to which all the operations are timed.

In particular, the internal clock signal CK_{INT} is delayed with respect to the external clock signal CK_{EST} by a time equal to the sum of the switching time of the input buffer 4 and the switching time of the driving device 8.

From the above it is therefore immediately understandable that the synchronous access time T_{BURST} is the sum of two contributions, the first contribution consisting of the delay between the external clock signal CK_{EST} and the internal clock signal CK_{INT} (typically quantifiable at approximately 5 ns), and the second contribution consisting of the delay with which the data are effectively present on the outputs of the memory 1 with respect to the rising edge of the internal clock signal CK_{INT}, which represents the request for supplying data on the outputs of the memory 1 (also the latter delay being typically quantifiable at approximately 5 ns).

Figure 2 shows the time relation existing between the external clock signal CK_{EST}, the internal clock signal CK_{INT}, and the transitions of the data to be read on the outputs of the memory 1, with reference to a non-valid reading condition caused by failure to comply with the design specification that is commonly adopted for the time of setup of the output data with respect to the next rising edge of the external clock signal at which the said data are sampled and acquired from outside the memory 1.

In particular, in burst mode reading, start of reading of the data is controlled, as is known, by causing variation of the logic level of a control signal "ADDRESS LATCH" supplied by the user to an input of the memory.

[In detail], when the start reading control signal "ADDRESS LATCH" assumes a low level, the "ADDRESSES" of the "DATA" to be read supplied by the user to the input of the memory 1 are acquired, and, during a pre-

er time interval referred to as "latency", the data are read by the memory cells, temporarily transferred into internal registers of the memory 1, and from the latter then transferred onto the outputs of the memory 1 itself, where they are ready to be sampled and acquired from outside the memory 1 in a synchronous way at the rising edges of the external clock signal CK_{EST}.

In particular, the latency time is indicated by the manufacturer in the specifications of the nonvolatile memory as a function of the frequency of the external clock signal CK_{EST} (in so far as it is tied by the random access time), it can be set externally by the user, and may typically be varied from a minimum of two to a maximum of six periods of the external clock signal CK_{EST}.

Consequently, since the data to be read are supplied to the outputs of the memory 1 synchronously with the internal clock signal CK_{INT}, but are read from outside synchronously with the external clock signal CK_{EST}, they are not stable at the output for at least a time interval equal to the data setup time T_{SSETUP} (5 ns) prior to the next edge of the external clock signal CK_{EST} at which the output data are sampled, so that reading of the data does not prove valid.

In order, therefore, to prevent occurrence of non-valid readings, in nonvolatile memories according to the prior art the maximum reading frequency achievable cannot exceed the 66 MHz referred to above, and this constitutes a limitation that slows down fast diffusion of the burst reading mode in flash-EEPROM memories.

Embodiments of the present invention provide a nonvolatile memory operating in burst reading mode that enables synchronous reading of the data stored therein at frequencies higher than those currently achievable. Other aspects and features are discussed below.

Aspects include an input receiving an external clock signal CK_{EST}

signal supplied by a user, and clock generating means receiving said external clock signal and supplying an internal clock signal distributed into said nonvolatile memory wherein said clock generating means comprise a delay locked loop means. Other features and advantages of the invention will become apparent from the following detailed description, taken in conjunction with the accompanying drawings. Other features and advantages of the invention will become apparent from the following detailed description, taken in conjunction with the accompanying drawings.

For a better understanding of aspects of the present invention, a preferred embodiment thereof is now described, purely to provide a non-limiting example, with reference to the attached drawings.

The present invention is based upon the principle of increasing the maximum frequency of data reading in a flash-EEPROM nonvolatile memory by eliminating the delay of the internal clock signal CK_{INT} with respect to the external clock signal CK_{EST}; the reduction in the synchronous access time T_{BURST} deriving therefrom makes it possible to achieve reading frequencies in the region of 90-100 MHz.

In greater detail, according to the present invention, elimination of the delay of the internal clock signal CK_{INT} with respect to the external clock signal CK_{EST} is obtained using a delay locked loop (DLL) architecture, in which the periodicity of the external clock signal CK_{EST} is exploited to generate an internal clock signal CK_{INT}, which may even be perfectly in phase with the external clock signal CK_{EST}.

Figure 3 shows a flash-EEPROM nonvolatile memory having a DLL architecture which enables generation of an internal clock signal CK_{INT} in phase with the external clock signal CK_{EST}.

In particular, Figure 3 shows only the parts of the nonvolatile memory, which is designated by 10, that are useful for an understanding of the present invention; in addition, the parts that are identical to the

se of Figure 1 are designated by the same reference numbers.

In particular, as is shown in Figure 3, the external clock signal CK_{EST} is supplied to an input buffer 4 identical to the one described with reference to Figure 1, which generates on an output a first intermediate clock signal CK_[Y1].

The first intermediate clock signal CK_[Y1] is then supplied to an input of a delay locked loop 12 basically comprising a programmable delay circuit 14, a driving device 8, a dummy buffer 16, and a phase detector 18.

In particular, the programmable delay circuit 14 receives on an input the first intermediate clock signal CK_[Y1], supplies on an output a second intermediate clock signal CK_[Y2] delayed with respect to the first intermediate clock signal CK_[Y1] by a programmable delay, and comprises a delay chain 20 formed by a plurality of delay cells 22 cascaded together and selectively activatable/deactivatable by a shift register 24 having the function of selecting the delay introduced by the delay chain 20.

In the example shown, the delay chain 20 is formed by 64 delay cells 22, each of which basically consists of two logic inverters cascaded together (for example, obtained by means of NAND logic gates that are selectively activatable/deactivatable by means of an enabling/disabling signal supplied to the inputs of said gates) and conveniently introduces a delay of 0.5 ns.

The second intermediate clock signal CK_[Y2] is supplied to the input of the driving device 8, which is identical to the driving device 1 of Figure 1 and supplies on an output an internal clock signal CK_[YT] which is then distributed inside the memory 10, and which hence represents the clock signal which is used by all the devices present inside the memory and with respect to which all the operations are timed.

The internal clock signal CK_[YT] is moreover supplied to the input

of the dummy buffer 16, which is altogether identical to the input buffer 4 in order to simulate the switching delay introduced by the input buffer 4, and supplies on an output a dummy clock signal CK_{DUMMY} .

The dummy clock signal CK_{DUMMY} is then supplied to a first input of the phase detector 18, which moreover receives, on a second input, the first intermediate clock signal CK_{IN1} , determines the phase shift existing between the internal clock signal CK_{INT} and the first intermediate clock signal CK_{IN1} , and then supplies on the outputs the following three signals, which are in turn supplied to the inputs of the shift register 24 of the programmable delay circuit 14: a clock signal CK_p for timing the operation of the shift register 24 itself, a delay control signal RIT to increase the delay introduced by the delay chain 20, and an advance control signal ANT to reduce the delay introduced by the delay chain 20.

The shift register 24 moreover has a plurality of outputs, each of which is connected to a respective delay cell 22 to control activation and deactivation thereof as a function of the delay control signal RIT and of the advance control signal ANT.

In particular, the delay control signal RIT and the advance control signal ANT are pulse-type signals, the pulses of which respectively control increase and reduction of the delay introduced by the delay chain 20 in order to bring the internal clock signal CK_{INT} perfectly in phase with the external clock signal CK_{EST} .

In addition, the delay of the first intermediate clock signal CK_{IN1} may be obtained in a simple way by exploiting the structure of the delay cells 22. In fact, since each of these cells is formed by two NAND logic gates cascaded together and selectively activatable by means of an appropriate enabling/disabling signal supplied to the inputs thereof, the first intermediate clock signal CK_{IN1} can conveniently be supplied to the input of all the delay cells 22, and its effective injection within

the delay chain 20 can be obtained only at a specific delay cell 22, in such a way that the delay introduced by the delay chain 20 between said specific delay cell 22 and the last delay cell 22 of the chain is precisely the desired one.

In this way, then, the selection of the number of delay cells 22 to be activated in order to achieve the desired delay can be obtained by the shift register 24 simply by issuing a command for disabling the delay cells 22 located upstream of the specific delay cell 22 that determines injection of the first intermediate clock signal CK_[Y1] within the delay chain 20, in such a way that the delay cells 22 located upstream are non-passing with respect to the injection of the first intermediate clock signal CK_[Y1] supplied to the inputs thereof, thus preventing, among other things, unnecessary consumption by elements that are not used, whilst the delay cells 22 located downstream of the specific delay cell 22 that determines injection of the first intermediate clock signal CK_[Y1] within the delay chain 20 are controlled in such a way as to be passing with respect to the clock signal coming from the preceding delay cell and non-passing with respect to the first intermediate clock signal CK_[Y1].

In use, in a cyclic way the phase detector 18 determines the phase shift existing between the dummy clock signal CK_{DUMMY} and the first intermediate clock signal CK_[Y1] and generates a delay control signal RIT or an advance control signal ANT to control the shift register 24 in such a way as to increase or decrease the number of delay cells 22 activated, in order to obtain an overall delay of the delay chain 20 such as to reduce the phase shift between the dummy clock signal CK_{DUMMY} and the first intermediate clock signal CK_[Y1], and these operations continue to be performed until the dummy clock signal CK_{DUMMY} is delayed with respect to the first intermediate clock signal CK_[Y1] exactly by one period of the first intermediate clock signal CK_[Y1] itself, and consequently is perfe-

ity in phase with the latter.

Since the first intermediate clock signal CK_{YY1} is constituted by the external clock signal CK_{EST} delayed by an amount equal to the switching time of the input buffer 4, and the dummy clock signal CK_{DUMMY} is constituted by the internal clock signal CK_{INT} delayed by an amount equal to the switching time of the dummy buffer 16, there corresponds to the elimination of the phase shift between the dummy clock signal CK_{DUMMY} and the first intermediate clock signal CK_{YY1} the elimination of the phase shift existing between the internal clock signal CK_{INT} and the external clock signal CK_{EST} .

Consequently, once the so-called locking time necessary for the delay locked loop 12 for eliminating the phase shift existing between the internal clock signal CK_{INT} and the external clock signal CK_{EST} has elapsed, the internal clock signal CK_{INT} is perfectly in phase with the external clock signal CK_{EST} : in this way, one of the contributions to the formation of the synchronous access time T_{BURST} is eliminated, and it is therefore possible to increase the maximum reading frequency up to the values referred to previously.

Figure 4 shows a graph similar to that of Figure 2, from which it is possible to see clearly the elimination of the phase shift existing between internal clock signal CK_{INT} and the external clock signal CK_{EST} , and the valid reading deriving therefrom.

When a DLL architecture is used for generating the internal clock signal CK_{INT} , the user of the memory 10 simply needs to supply the external clock signal CK_{EST} with an advance sufficient to enable the DLL to lock in phase with the external clock signal CK_{EST} itself.

Alternatively, locking may be achieved during a self-learning step prior to data reading, which may be activated by means of an appropriate control signal, and during which the external clock signal CK_{EST} is so

plied to the memory 10 in such a way as to set previously the delay introduced by the programmable delay circuit. With this modality, it simply remains for the user to supply to the memory 10 the external clock signal C_{REST} with an advance of a single period, since locking of the delay locked loop 12 has already taken place.

For example, the command for activation of the self-learning step could be issued immediately after power-on of the memory 10, and in this way the delay-locked loop 12 will no longer need to be re-locked in phase with the external clock signal, in so far as any possible temperature variations will be eliminated without the lock command having to be issued again.

The advantages that the present invention affords emerge clearly from an examination of the characteristics presented herein.

Finally, it is clear that modifications and variations may be made to the invention described and illustrated herein, without thereby departing from the sphere of protection, as defined in the attached claims.

For example, the number of delay cells 22 of the delay chain 20 and their corresponding delay could be different from what is described herein, in so far as their number and delay obviously depend upon the range of reading frequencies that it is aimed to cover, as well as upon the delay that it is to be recovered.

From the foregoing it will be appreciated that, although specific embodiments of the invention have been described herein for purposes of illustration, various modifications may be made without deviating from the spirit and scope of the invention. Accordingly, the invention is not limited except as by the appended claims.

4. Brief Description of Drawings

Figure 1 shows the path of the external clock signal supplied by th

e user in a nonvolatile memory according to the prior art;

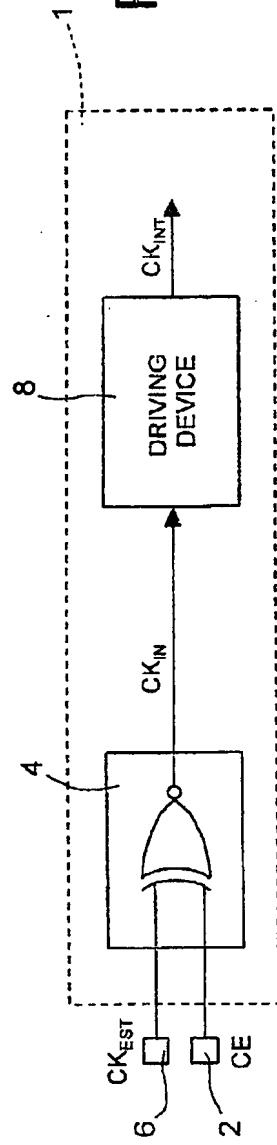
Figure2 shows the time relation existing, in a nonvolatile memory according to the prior art, between the external clock signal supplied by the user of the memory and the clock signal used inside the memory itself in relation to the transitions of the data present on the output of the memory;

Figure3 shows the path of the external clock signal supplied by the user in a nonvolatile memory according to the present invention; and

Figure4 shows the time relation existing, in a nonvolatile memory according to the present invention, between the external clock signal supplied by the user of the memory and the clock signal used inside the memory itself in relation to the transitions of the data present on the output of the memory.

【図1】

Fig. 1



【図2】

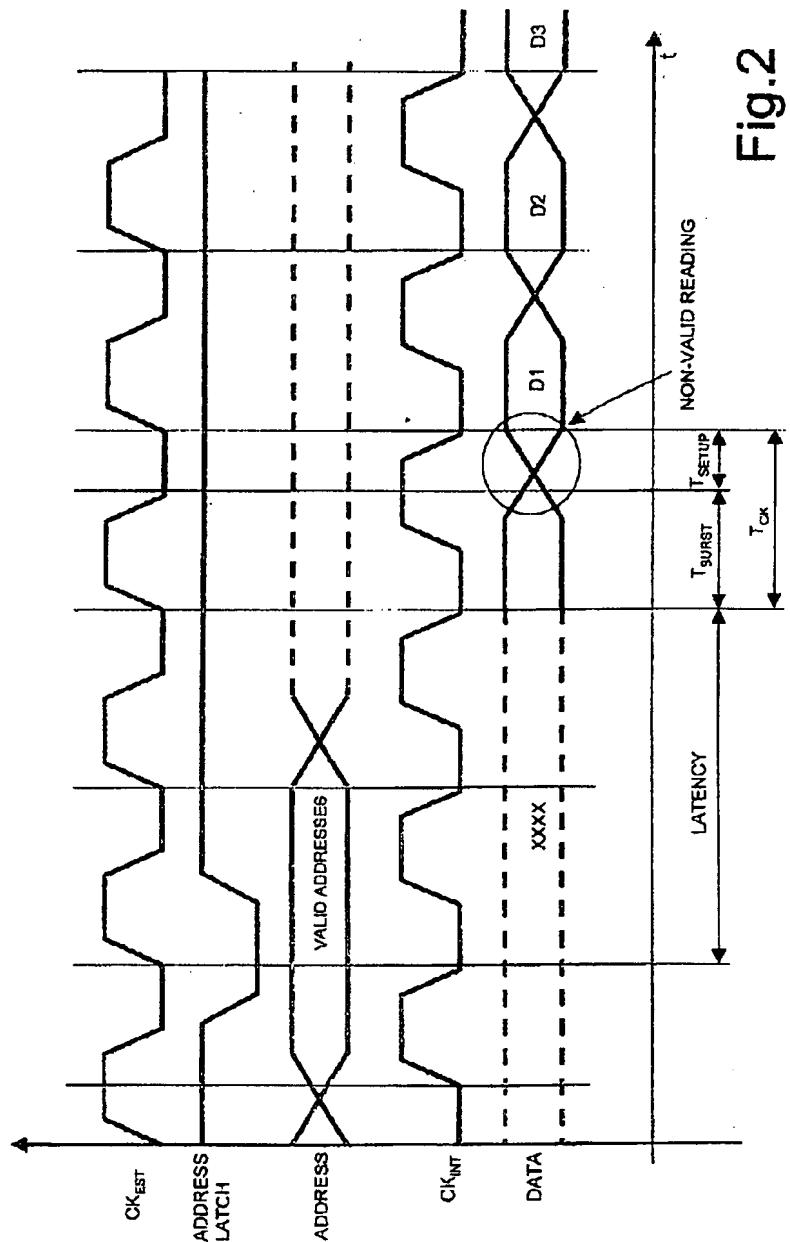
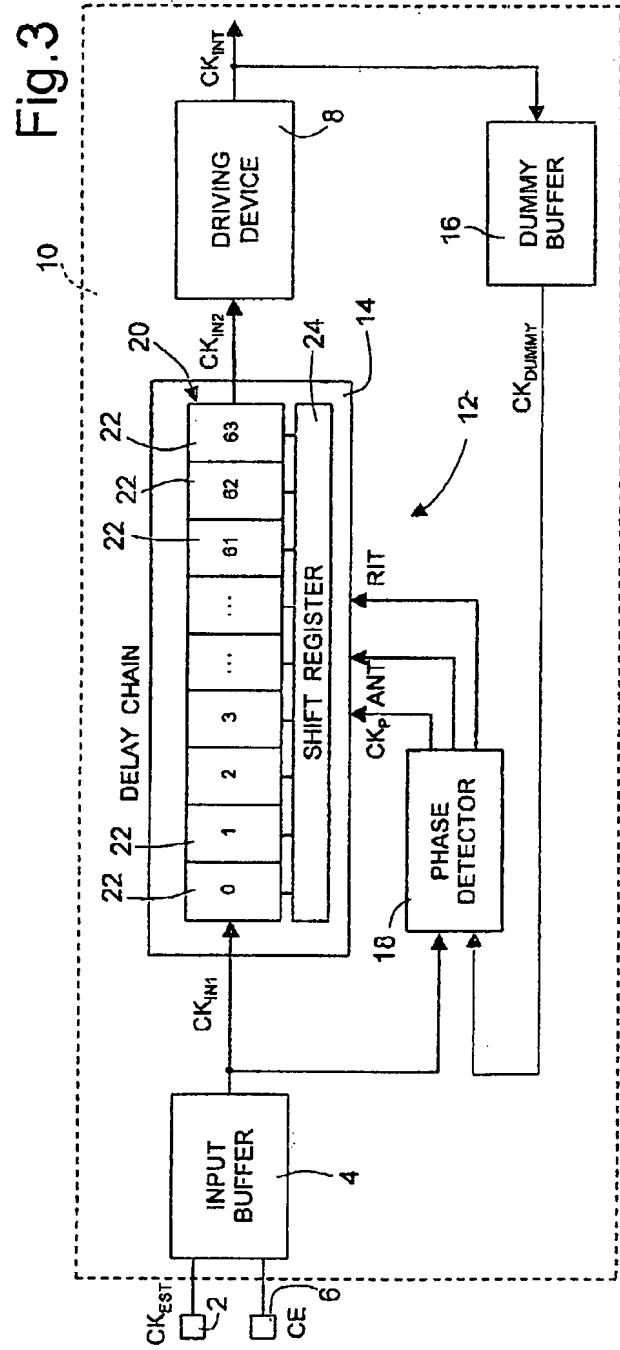


Fig.2

【図3】



1. Abstract

Described herein is a nonvolatile memory comprising an input port receiving an external clock signal supplied by a user; an input buffer receiving the external clock signal and supplying an intermediate clock signal delayed with respect to the external clock signal; and a delay locked loop receiving the intermediate clock signal and supplying an internal clock signal distributed within the nonvolatile memory and substantially in phase with the external clock signal.

2. Representative Drawing

Figure 3